

PATENT
8001-1183

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Kenta OGAWA
Appl. No.: NEW NON-PROVISIONAL
Filed: December 16, 2003
Title: ELECTRONIC DEVICE HAVING EXTERNAL
TERMINALS WITH LEAD-FREE METAL THIN FILM
FORMED ON THE SURFACE THEREOF

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 16, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-364235	December 16, 2002

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/maf

Attachment(s): 1 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月16日
Date of Application:

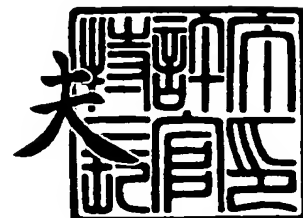
出願番号 特願2002-364235
Application Number:
[ST. 10/C]: [JP2002-364235]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年 8月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 75310556

【提出日】 平成14年12月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/50
B23K 01/20
C23C 02/08

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 小川 健太

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100099830

【弁理士】

【氏名又は名称】 西村 征生

【電話番号】 048-825-8201

【手数料の表示】

【予納台帳番号】 038106

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216892

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子部品

【特許請求の範囲】

【請求項 1】 外部端子の表面に S n を主成分とする金属薄膜から成る接続用導電層が形成される電子部品であって、

前記接続用導電層は、前記 S n に該 S n と低融点合金を形成する所望の金属が添加されて、所望の膜厚を有することを特徴とする電子部品。

【請求項 2】 前記所望の金属は、B i、A g、C u あるいは Z n であることを特徴とする請求項 1 記載の電子部品。

【請求項 3】 前記所望の金属が B i である場合は、前記接続用導電層は、前記 S n に 0.5～6.0 w t % の前記 B i が添加され、かつ 10～25 μ m の膜厚を有することを特徴とする請求項 2 記載の電子部品。

【請求項 4】 前記所望の金属が B i である場合は、前記接続用導電層は、前記 S n に 0.5～4.5 w t % の前記 B i が添加され、かつ 20～25 μ m の膜厚を有することを特徴とする請求項 2 記載の電子部品。

【請求項 5】 前記所望の金属が B i である場合は、前記接続用導電層は、前記 S n に 0.7～4.5 w t % の前記 B i が添加され、かつ 15～20 μ m の膜厚を有することを特徴とする請求項 2 記載の電子部品。

【請求項 6】 前記所望の金属が B i である場合は、前記接続用導電層は、前記 S n に 4.5～6.0 w t % の前記 B i が添加され、かつ 10～20 μ m の膜厚を有することを特徴とする請求項 2 記載の電子部品。

【請求項 7】 前記所望の金属が A g である場合は、前記接続用導電層は、前記 S n に 2.0～4.0 w t % の前記 A g が添加され、かつ 15～25 μ m の膜厚を有することを特徴とする請求項 2 記載の電子部品。

【請求項 8】 前記所望の金属が C u である場合は、前記接続用導電層は、前記 S n に 0.5～2.5 w t % の前記 C u が添加され、かつ 20～30 μ m の膜厚を有することを特徴とする請求項 2 記載の電子部品。

【請求項 9】 前記所望の金属が Z n である場合は、前記接続用導電層は、前記 S n に 4.0～9.0 w t % の前記 Z n が添加され、かつ 15～30 μ m の

膜厚を有することを特徴とする請求項 2 記載の電子部品。

【請求項 10】 前記接続用導電層は、めっきにより形成されたものであることを特徴とする請求項 1 乃至 9 のいずれか 1 に記載の電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電子部品に係り、詳しくは、外部端子の表面に Sn（錫）を主成分とする金属薄膜から成る接続用導電層が形成される電子部品に関する。

【0002】

【従来の技術】

IC（半導体集積回路）、トランジスタ、コンデンサ、抵抗、インダクタ等の各種の電子部品を用いることにより、広い分野で使用される電子装置が組み立てられている。このような電子装置の組立には、予め導電層から成る回路パターンが印刷された実装基板が用いられて、この実装基板上に所定の電子部品が実装される。具体的には、外部端子としての役割を担う電子部品のリードを、低融点のろう材を介して回路パターンの一部に電氣的に接続している。このように電子部品を実装基板に実装するにあたっては、電子部品と実装基板との接続信頼性を満足するために、電子部品のリードの表面には、Sn を主成分とする Sn 系合金から構成される低融点の金属薄膜から成る接続用導電層が、予め電気めっき法等の表面処理法により形成されている。

【0003】

ここで、上述のような接続用導電層を構成する低融点の金属薄膜の材料としては、従来から、Sn-Pb（鉛）合金をめっきにより形成することが広く行なわれている。Sn は同合金の主成分を構成して接着の役目を果たす一方、Pb は Sn と低融点合金を形成する低融点合金形成用金属を構成して、合金の融点を下げるとともに接続強度を向上させる役目を果たしている。このように、Sn-Pb 合金は、両成分の割合を変えることにより融点を容易に調整することができ、濡れ性に優れているだけでなくコスト的にも有利なので、電子部品を実装する際に上述したような接続用導電層として好んで用いられてきている。

【0004】

しかしながら、上述の Sn-Pb 合金の Pb 成分は人体に対して有害であり、使用済の電子装置を廃棄するような場合には公害の原因となるので、環境破壊の点で望ましくない。したがって、最近では電子部品を実装基板に実装するにあたっては、接続用導電層としては成分に Pb を含まない、いわゆる Pb フリーの Sn 系合金から成る低融点の金属薄膜をめっきによりリードの表面に形成することが一般的な流れになっている。一例として、Pb に変えて Bi (ビスマス) を添加させるようにした Sn-Bi 合金を接続用導電層としてリードの表面にめっきした電子部品が広く知られている。

ここで、Bi は前述の Sn-Pb 合金における Pb と同様に Sn と低融点合金を形成する低融点合金形成用金属を構成して、合金の融点を下げるような役目を果たしている。また、Pb フリーの Sn 系合金をめっきする場合は、Sn と低融点合金を形成する金属としてはどのようなものを選んだ場合でも、濡れ性を損なわないような Sn 系合金めっきが形成されることが重要となる。

【0005】

ところで、上述の Pb フリーの Sn-Bi 合金から成る低融点の金属薄膜をめっきによりリードの表面に形成すると、電子部品を製造した後に、温度サイクル試験のような加速試験を施した場合、リードの表面にウスカ (Whisker) と称する微細な金属ひげが上記 Sn-Pb 合金に比べて発生し易くなる。そして、このウスカはリード同士を短絡させる原因となることが心配され、特に IC のようにパッケージの周囲から微小間隔で多数のリードが引き出されている半導体装置においては、その傾向が著しくなる。また、上述の Sn-Bi 合金は伸びに乏しい性質があるため、電子部品を実装する際等にリードを折り曲げると、その Sn-Bi 合金層に曲げクラック (以下、単にクラックとも称する) が発生し易くなる。したがって、電子部品のリードの表面にめっきにより Pb フリーの Sn 系合金から成る低融点の金属薄膜を形成する場合は、ウスカやクラック等の発生を抑制することが課題となっている。

【0006】

上述のように Pb フリーを前提として、ウスカやクラック等の発生を抑制す

る目的で、Sn系合金から成る低融点の金属薄膜を、リードの表面にめっきにより形成するように構成した半導体装置が開示されている（例えば、特許文献1参照。）。同半導体装置は、図12に示すように、リード101の表面に、例えばSn-Bi合金からなる三層めっきを形成するにあたり、Bi添加率（含有率）が小さいSn-Bi合金から成る下層（Bi添加率0.7wt（weight）%）102と、Bi添加率が中間のSn-Bi合金から成る中間層（Bi添加率0.7～2.3wt%）103と、Bi添加率が高いSn-Bi合金から成る上層（Bi添加率2.3wt%）104とをめっきして、Sn-Bi合金層が、めっき膜厚方向に合金成分の添加率が増加するような濃度勾配を有するように形成されている。

【0007】

同様に、Pbフリーを前提として、ウスカやクラック等の発生を抑制する目的で、Sn系合金から成る低融点の金属薄膜をリードの表面にめっきにより形成するように構成した半導体装置が開示されている（例えば、特許文献2参照。）。同半導体装置は、図13に示すように、リード111の表面に、Cu添加率が0.4～5wt%のSn-Cu合金から成る膜厚が1～15μmのめっき層112が形成されている。

【0008】

同様に、Pbフリーを前提として、ウスカやクラック等の発生を抑制する目的で、Sn系合金から成る低融点の金属薄膜をリードの表面にめっきにより形成するように構成した半導体装置が開示されている（例えば、特許文献3参照。）。同半導体装置は、図14に示すように、リード121の表面に、Bi添加率が0～1wt%のSn-Bi合金から成る膜厚が1～14μmの下層122と、Bi添加率が1～10wt%のSn-Bi合金から成る膜厚が1～12μmの上層123とがめっきにより形成されている。

【0009】

【特許文献1】

特開2000-174191号公報（第4項、図2）

【特許文献2】

特開 2001-257303 号公報 (第 3 項、図 1)

【特許文献 3】

特開平 11-330340 公報 (第 3 項、図 2)

【0010】

【発明が解決しようとする課題】

ところで、Pb フリーの Sn 系合金から構成される低融点の金属薄膜から成る接続用導電層をリードの表面にめっきにより形成するように構成した従来の半導体装置では、多層めっき構造によりウスカやクラック等の発生を抑制するようにしているのでめっき構造が複雑となり、また多層めっき構造になっていることに伴って、Sn と低融点合金を形成する Bi (低融点合金形成用金属) の組成の厳密な管理が困難になり、さらに低融点合金を形成する所望の金属の添加率に応じてめっき膜厚が最適な値に調整されていないので、ウスカやクラック等の発生を十分に抑制することができない、という問題がある。

例えば、特許文献 1 に開示されている半導体装置では、図 12 に示したように、Bi 添加率が小さい下層 102 と、Bi 添加率が中間の中間層 103 と、Bi 添加率が高い上層 104 とを順次にリード 101 の表面にめっきして Sn-Bi 合金からなる三層めっきを形成しているが、Sn-Bi 合金層を 3 度にわたってめっきする多層めっき構造によりウスカやクラック等の発生を抑制するようにしているので、めっき構造が複雑となるため、めっきのコストアップが避けられなくなる。

また、上記 Sn-Bi 合金をめっきした場合は、電子部品を実装した後の信頼性に大きな影響を与える因子である上記 Bi の組成を高精度で測定することによって、Bi の組成を厳密に管理することが必要になる。このように Bi の組成を厳密に管理することは、製品品質を保証する上で欠かせない重要な事項となる。そのために、めっき層における Bi の組成を非破壊の蛍光 X 線分析法により測定することが行われる。しかしながら、特許文献 1 に示されている多層めっき構造では、各層に同一元素である Bi が含まれているので、上記蛍光 X 線分析法により各層の膜厚を含めてその組成を正確に測定することができず、厳密な組成管理が困難になる。また多層めっき構造になっていることに伴って、Bi の添加率に

応じてめっき膜厚が最適な値に調整されていないので、ウイスカやクラック等の発生を十分に抑制することができない。

【0011】

また、特許文献3に開示されている半導体装置では、図14に示したように、Bi添加率が0～1wt%のSn-Bi合金から成る下層122と、Bi添加率が1～10wt%のSn-Bi合金から成る上層123とをめっきしているが、特許文献1と略同様に、Sn-Bi合金層を2度にわたってめっきしているので、めっき構造が複雑となるため、めっきのコストアップが避けられなくなる。

また、Biの組成を厳密に管理する点に関しても、特許文献1で説明したのと略同様な理由で、Biの厳密な組成管理が困難になり、また、Biの添加率に応じてめっき膜厚が最適な値に調整されていないので、ウイスカやクラック等の発生を十分に抑制することができない。

【0012】

また、特許文献2記載の従来の半導体装置では、図13に示したように、Snと低融点合金を形成する所望の金属としてはCuを用いて単層めっき構造に形成されているが、もともとCu添加によるウイスカ抑制効果はBi等に比べて小さいため、めっき層112のCu添加率が3wt%未満では十分な抑制効果が得られない。また、Cu添加率が3%を越えると濡れ性が低下する。また、めっき層112の膜厚も1～15 μ mに形成されているが、特許文献1と同様に、厳密な組成管理に十分な組成測定制度が得られず、またCuの添加率に応じた最適なめっき膜厚に調整されていないので、またウイスカやクラックの発生を十分に抑制するのが困難である。

【0013】

この発明は、上述の事情に鑑みてなされたもので、PbフリーのSn系合金めっきから成る接続用導電層を外部端子の表面に形成する場合、単純なめっき構造によりウイスカ及びクラックの発生を十分に抑制することができ、またSnと低融点合金を形成する低融点合金形成用金属の組成の厳密な管理を行うことができるようにした電子部品を提供することを目的としている。

【0014】

【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、外部端子の表面にSnを主成分とする金属薄膜から成る接続用導電層が形成される電子部品に係り、上記接続用導電層は、上記Snに該Snと低融点合金を形成する所望の金属が添加されて、所望の膜厚を有することを特徴としている。

【0015】

また、請求項2記載の発明は、請求項1記載の電子部品に係り、上記所望の金属は、Bi、Ag、CuあるいはZnであることを特徴としている。

【0016】

また、請求項3記載の発明は、請求項2記載の電子部品に係り、上記所望の金属がBiである場合は、上記接続用導電層は、上記Snに0.5～6.0wt%の上記Biが添加され、かつ10～25 μ mの膜厚を有することを特徴としている。

【0017】

また、請求項4記載の発明は、請求項2記載の電子部品に係り、上記所望の金属がBiである場合は、上記接続用導電層は、上記Snに0.5～4.5wt%の上記Biが添加され、かつ20～25 μ mの膜厚を有することを特徴としている。

【0018】

また、請求項5記載の発明は、請求項2記載の電子部品に係り、上記所望の金属がBiである場合は、上記接続用導電層は、上記Snに0.7～4.5wt%の上記Biが添加され、かつ15～20 μ mの膜厚を有することを特徴としている。

【0019】

また、請求項6記載の発明は、請求項2記載の電子部品に係り、上記所望の金属がBiである場合は、上記接続用導電層は、上記Snに4.5～6.0wt%の上記Biが添加され、かつ10～20 μ mの膜厚を有することを特徴としている。

【0020】

また、請求項 7 記載の発明は、請求項 2 記載の電子部品に係り、上記所望の金属が A g である場合は、上記接続用導電層は、上記 S n に 2. 0 ~ 4. 0 w t % の上記 A g が添加され、かつ 15 ~ 25 μ m の膜厚を有することを特徴としている。

【0021】

また、請求項 8 記載の発明は、請求項 2 記載の電子部品に係り、上記所望の金属が C u である場合は、上記接続用導電層は、上記 S n に 0. 5 ~ 2. 5 w t % の上記 C u が添加され、かつ 20 ~ 30 μ m の膜厚を有することを特徴としている。

【0022】

また、請求項 9 記載の発明は、請求項 2 記載の電子部品に係り、上記所望の金属が Z n である場合は、上記接続用導電層は、上記 S n に 4. 0 ~ 9. 0 w t % の上記 Z n が添加され、かつ 15 ~ 30 μ m の膜厚を有することを特徴としている。

【0023】

また、請求項 10 記載の発明は、請求項 1 乃至 9 のいずれか 1 に記載の電子部品に係り、上記接続用導電層は、めっきにより形成されたものであることを特徴としている。

【0024】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的に行う。

◇第 1 実施例

図 1 は、この発明の第 1 実施例である電子部品の構成を示す斜視図、図 2 は図 1 の A-A 矢視断面図、図 3 は同電子部品の一部の断面構造を概略的に示す図、また、図 4 は同電子部品のリードに形成した S n-B i 合金層の B i 添加率（横軸）とめっき膜厚（縦軸）との関係を示す図、図 5 は同電子部品のリードに形成した S n-B i 合金層の B i 添加率（横軸）とめっき膜厚（縦軸）との関係においてウイスカの評価結果を示す図、図 6 は同電子部品のリードに形成した S n-

B i 合金層の B i 添加率（横軸）とめっき膜厚（縦軸）との関係においてクラックの発生状況を示す図、図 7 は同電子部品のリードに形成した S n - B i 合金層の B i 添加率（横軸）とめっき膜厚（縦軸）との関係においてめっき組成測定バラツキの評価結果を示す図である。なお、この例では電子部品として樹脂封止型半導体装置に例をあげて説明している。

この例の電子部品（樹脂封止型半導体装置）10 は、図 1 ～図 3 に示すように、例えば樹脂がモールドされて形成されたパッケージ 1 の両側面から例えば F e - N i （鉄ニッケル）合金から成る多数のリード 2 が引き出された構成を有し、各リード 2 の表面には、S n を主成分とした低融点の金属薄膜（すなわち、S n 系合金）から成る接続用導電層 3 が、電気めっき法のような表面処理法により形成されている。

接続用導電層 3 は、図 3 に示すように、S n に 0.5 ～ 6.0 w t % の B i が添加された S n - B i 合金から成り、かつ 10 ～ 25 μ m のめっき膜厚を有している。ここで、接続用導電層 3 は、単層めっき構造から構成されているので、めっきのコストアップを避けることができる。また、接続用導電層 3 は、S n と低融点合金を形成する所望の金属としての B i の添加率に応じてめっき膜厚が最適な値に調整されている。

【0025】

パッケージ 1 の内部は、図 2 に示すように、I C チップ 4 がタブ 5 上に固定されて、I C チップ 4 の表面に形成されているパッド電極 6 と対応したリード 2 との間にはボンディングワイヤ 7 が電氣的に接続されている。

【0026】

図 4 は、この例において、リード 2 の表面に形成した接続用導電層 3 を構成する S n - B i 合金層の B i 添加率（横軸）とめっき膜厚（縦軸）との関係を示す図である。この例では、前述したように、B i 添加率（0.5 ～ 6.0 w t %）に応じて、めっき膜厚（10 ～ 25 μ m）が最適な値となるように調整されている。濡れ性を重視する場合には略 4 w t % 以上の B i 添加率が必要になるが、めっき膜厚を 10 ～ 25 μ m の範囲に収めることで、総合的に最も優れた特性を得ることができる。逆に、B i 添加率を 1 w t % 未満に抑える必要がある場合には

、めっき膜厚を $20 \sim 25 \mu\text{m}$ の範囲に収めるようにする。

【0027】

図4において、領域〈1〉は、Sn-Bi合金層において、Bi添加率を0.5～4.5wt%に、かつめっき膜厚を $20 \sim 25 \mu\text{m}$ に調整した範囲を示している。このようにBi添加率に応じてめっき膜厚を最適な値に調整することにより、濡れ性を損なうことなく、ウイスカの発生及びクラックの発生を極端に小さく抑えることができる。したがって、ウイスカの発生を十分に抑制することができる。

【0028】

図4において、領域〈2〉は、Sn-Bi合金層において、Bi添加率を0.7～4.5wt%に、かつめっき膜厚を $15 \sim 20 \mu\text{m}$ に調整した範囲を示している。このようにBi添加率に応じてめっき膜厚を最適な値に調整することにより、濡れ性を損なうことなく、クラックの発生をほとんどなくすように抑えることができる。したがって、クラックの発生を十分に抑制することができる。

【0029】

図4において、領域〈3〉は、Sn-Bi合金層において、Bi添加率を4.5～6.0wt%に、かつめっき膜厚を $10 \sim 20 \mu\text{m}$ に調整した範囲を示している。このようにBi添加率に応じてめっき膜厚を最適な値に調整することにより、ある程度のクラックの発生は不可避となるが、濡れ性を損なうことなく、ウイスカの発生を小さく抑えることができる。したがって、ウイスカの発生を十分に抑制することができる。

【0030】

また、図4の領域〈1〉～領域〈3〉の範囲のようにBi添加率に応じてめっき膜厚を最適な値に調整することにより、前述したように、濡れ性を損なうことなく、ウイスカの発生及びクラックの発生を十分に抑制することができる他に、接合信頼性及び組成測定精度を改善することができる。

【0031】

次に、この例により、上述したような諸特性を改善できる理由について説明する。

(1) 濡れ性に関して

S n - B i 合金層においては、B i 添加率が大きくなるほど、濡れ性は良くなる傾向があるが、例えば B i 添加率が 0 になったとしても、すなわち、S n 100 % になったとしても、濡れ性は実用上問題はない。一方、めっき膜厚に関しては、略 3 μ m 以下になるとピンホール等の発生から、十分な濡れ性は確保することが困難になるので、略 3 μ m 以上のめっき膜厚に調整することが望ましいことを確認した。したがって、この例のように、図 4 の領域〈1〉～領域〈3〉の範囲に示したように、B i 添加率を 0.5～6.0 w t % に、めっき膜厚を 10～25 μ m に調整することにより、濡れ性を損なうことはなくなる。

【0032】

(2) ウィスカに関して

図 5 は、S n - B i 合金層の B i 添加率（横軸）とめっき膜厚（縦軸）との関係において、ウィスカの評価結果を示す図である。同図は、電子部品を一定時間ウィスカの発生環境に保管した後のウィスカの発生状況を示している。同図において、符号 N はウィスカの発生が認められない位置、符号 A は微小な突起物が認められる程度の位置、符号 B はごく短い針状結晶が僅かに認められる位置、符号 C は針状結晶が複数認められる位置、符号 D は絶縁破壊の恐れのある針状結晶が認められる位置を、それぞれ示している。同図から明らかなように、B i 添加率が略 3 w t % 未満の範囲では、めっき膜厚を略 10 μ m 以上に調整することにより、ウィスカの発生はほとんど認められない。また、B i 添加率が略 5 w t % 以上の範囲では、めっき膜厚が薄くなってもウィスカの発生を抑えることができる。したがって、この例のように、図 4 の領域〈1〉～領域〈3〉の範囲に示したように、B i 添加率を 0.5～6.0 w t % に、めっき膜厚を 10～25 μ m 調整することにより、単層めっき構造でもウィスカの発生を十分に抑制することができる。

【0033】

(3) クラックに関して

図 6 は、S n - B i 合金層の B i 添加率（横軸）とめっき膜厚（縦軸）との関係において、クラックの発生状況を示す図である。同図は、例として 80 ピンを

有する T Q F P (Thin Quad Flat Package) から成るパッケージで封止された半導体装置を対象として、外部端子であるリード曲げ R 部における S n - B i 合金層のクラック発生状況を示している。同図において、○印はクラックの発生が認められない位置、△印は微小クラックの発生が認められる位置、×印はクラックの発生が認められる位置を、それぞれ示している。同図から明らかなように、全体的な傾向としてはめっき膜厚が小さいほど、B i 添加率が小さいほど、クラックの発生が少なくなっている。また、めっき膜厚が略 10 μ m 未満の範囲では、B i 添加率が 5 w t % 程度でもクラックは微小なものしか認められない。一方、めっき膜厚が略 20 μ m の付近では、B i 添加率が 4 w t % 程度でもクラックの発生が認められる。それゆえ、クラックに関しては、B i 添加率を略 3 w t % 未満に、まためっき膜厚を略 10 μ m 未満に抑えるのが理想的であり、B i 添加率が略 4 w t % 以上、かつめっき膜厚が略 20 μ m 以上の領域は望ましくない。したがって、この例のように、図 4 の領域〈1〉～領域〈3〉の範囲に示したように、B i 添加率を 0.5～6.0 w t % に、めっき膜厚を 10～25 μ m 調整することにより、クラックの発生を十分に抑制することができる。

【0034】

(4) 接合信頼性に関して

S n - B i 合金層を形成するにあたっては、電子部品の基板実装後の接合系（めっき+ペースト）としてのトータルの B i 添加率が最終的な接合信頼性を決定するが、この例のように、図 4 の領域〈1〉～領域〈3〉の範囲に示したように、B i 添加率を 0.5～6.0 w t % に、めっき膜厚を 10～25 μ m 調整しても、接合信頼性を確保することができる。

【0035】

(5) 組成測定精度に関して

図 7 は、S n - B i 合金層の B i 添加率（横軸）とめっき膜厚（縦軸）との関係において、めっき組成（B i 添加率）測定のバラツキの評価結果を示す図である。同図は、比例計数管を検出器に用いた蛍光 X 線設備により、めっき組成（B i 添加率）測定のバラツキを評価した例を示している。同図において、数字は変動係数（定点くり返し測定結果の標準偏差を平均値で割ったもの）を表しており

、値が小さいほど、めっき組成測定バラツキが小さいことを示している。同図から明らかなように、めっき膜厚が略 $10\ \mu\text{m}$ を越えた領域では Bi 添加率に関わらず、実用に耐える組成バラツキで測定できるが、めっき膜厚が略 $5\ \mu\text{m}$ 前後と小さく、かつ Bi 添加率が略 $1\ \text{wt}\%$ 未満の領域では極端に悪化することが理解される。それゆえ、Bi 添加率が略 1% 未満の領域で厳密な組成管理を行うためには、めっき膜厚は略 $10\ \mu\text{m}$ 以上が必要になる。したがって、この例のように、図 4 の領域〈1〉～領域〈3〉の範囲に示したように、Bi 添加率を $0.5\sim 6.0\ \text{wt}\%$ に、めっき膜厚を $10\sim 25\ \mu\text{m}$ 調整することにより、組成測定精度の向上を図ることができる。

【0036】

このように、この例の電子部品 10 によれば、外部端子としての役割を担うリード 2 の表面に、Sn に $0.5\sim 6.0\ \text{wt}\%$ の Bi が添加された Sn-Bi 合金から成り、かつ $10\sim 25\ \mu\text{m}$ のめっき膜厚を有する単層めっき構造から成る接続用導電層 3 が形成されているので、Sn と低融点合金を形成する所望の金属である Bi の添加率に応じてめっき膜厚を最適な値に調整することができる。また、単層めっき構造から成る接続用導電層 3 が形成されていることに伴い、蛍光 X 線分析法により Bi の組成を正確に測定することができる。

したがって、Pb フリーの Sn 系合金めっきから成る接続用導電層を外部端子の表面に形成する場合、単純なめっき構造によりウイスカ及びクラックの発生を十分に抑制することができ、また Sn と低融点合金を形成する低融点合金形成用金属の組成の厳密な管理を行うことができる。

【0037】

◇第 2 実施例

図 8 は、この発明の第 2 実施例である電子部品の一部の断面構造を概略的に示す図である。この第 2 実施例の電子部品の構成が、上述の第 1 実施例のそれと大きく異なるところは、Sn と低融点合金を形成する低融点合金形成用金属として Bi に変えて Ag (銀) を用いるようにした点である。

すなわち、この例の電子部品は、図 1 及び図 2 の第 1 実施例と略同様に、例えば樹脂がモールドされて形成されたパッケージ 1 の両側面から例えば Fe-Ni

合金から成る多数のリード 2 が引き出され、パッケージ 1 の内部は I C チップ 4 がタブ 5 上に固定されて、I C チップ 4 の表面に形成されているパッド電極 6 と対応したリード 2 との間にはボンディングワイヤ 7 が電氣的に接続された構成において、図 8 に示すように、リード 2 の表面には S n 系合金から成る接続用導電層 1 1 が電気めっき法のような表面処理法により形成されて、接続用導電層 1 1 は、S n に 2 . 0 ~ 4 . 0 w t % の A g が添加された S n - A g 合金から成り、かつ 1 5 ~ 2 5 μ m のめっき膜厚を有している。ここで、A g は S n と低融点合金を形成する金属として選ばれている。

【 0 0 3 8 】

この例においては、上述したように S n と低融点合金を形成する所望の金属である A g 添加率に応じてめっき膜厚を最適な値に調整することにより、第 1 実施例の S n - B i 合金に比較すると、濡れ性及びウィスカがやや低下するものの、クラックはより向上させることができる。また、最適領域を高 A g 添加率側及び高めめっき膜厚側を選ぶことにより、第 1 実施例と略同様に、接合信頼性及び組成測定精度を改善することができる。

【 0 0 3 9 】

このように、この例の構成によっても、第 1 実施例において述べたのと略同様な効果を得ることができる。

【 0 0 4 0 】

◇第 3 実施例

図 9 は、この発明の第 3 実施例である電子部品の一部の断面構造を概略的に示す図である。この第 3 実施例の電子部品の構成が、上述の第 1 実施例のそれと大きく異なるところは、S n と低融点合金を形成する低融点合金形成用金属として B i に変えて C u (銅) を用いるようにした点である。

すなわち、この例の電子部品は、図 1 及び図 2 の第 1 実施例と略同様に、例えば樹脂がモールドされて形成されたパッケージ 1 の両側面から例えば F e - N i 合金から成る多数のリード 2 が引き出され、パッケージ 1 の内部は I C チップ 4 がタブ 5 上に固定されて、I C チップ 4 の表面に形成されているパッド電極 6 と対応したリード 2 との間にはボンディングワイヤ 7 が電氣的に接続された構成に

において、図9に示すように、リード2の表面にはSn系合金から成る接続用導電層12が電気めっき法のような表面処理法により形成されて、接続用導電層12は、Snに0.5～2.5wt%のCuが添加されたSn-Cu合金から成り、かつ20～30 μ mのめっき膜厚を有している。ここで、CuはSnと低融点合金を形成する金属として選ばれている。

【0041】

この例においては、上述したようにSnと低融点合金を形成する所望の金属であるCu添加率に応じてめっき膜厚を最適な値に調整することにより、第1実施例と略同様に、濡れ性を損なわずにウイスカ及びクラックの発生を十分に抑制することができ、さらに接合信頼性及び組成測定精度を改善することができる。

【0042】

このように、この例の構成によっても、第1実施例において述べたのと略同様な効果を得ることができる。

【0043】

◇第4実施例

図10は、この発明の第4実施例である電子部品の一部の断面構造を概略的に示す図である。この第4実施例の電子部品の構成が、上述の第1実施例のそれと大きく異なるところは、Snと低融点合金を形成する金属としてBiに変えてZn（亜鉛）を用いるようにした点である。

すなわち、この例の電子部品は、図1及び図2の第1実施例と略同様に、例えば樹脂がモールドされて形成されたパッケージ1の両側面から例えばFe-Ni合金から成る多数のリード2が引き出され、パッケージ1の内部はICチップ4がタブ5上に固定されて、ICチップ4の表面に形成されているパッド電極6と対応したリード2との間にはボンディングワイヤ7が電氣的に接続された構成において、図10に示すように、リード2の表面にはSn系合金から成る接続用導電層13が電気めっき法のような表面処理法により形成されて、接続用導電層13は、Snに4.0～9.0wt%のZnが添加されたSn-Zn合金から成り、かつ15～30 μ mのめっき膜厚を有している。ここで、ZnはSnと低融点合金を形成する金属として選ばれている。

【0044】

この例においては、上述したようにS_nと低融点合金を形成する所望の金属であるZ_n添加率に応じてめっき膜厚を最適な値に調整することにより、第1実施例と略同様に、濡れ性を損なわずにウスカ及びクラックの発生を十分に抑制することができ、さらに接合信頼性及び組成測定精度を改善することができる。

【0045】

このように、この例の構成によっても、第1実施例において述べたのと略同様な効果を得ることができる。

【0046】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、実施例ではリード形状の外部端子に対して接続用導電層を形成した例で説明したが、リード形状に限らずに外部端子としての役割を担うものであれば適用することができる。また、実施例では、電子部品としてはICに適用する例で説明したが、IC以外にも図11(a)に示したような挿入実装型のトランジスタ14、図11(b)に示したような表面実装型のトランジスタ15、あるいは図11(c)に示したような電解コンデンサ16等の他の電子部品にも適用することができる。

【0047】

また、電子部品の外部端子としてのリードにS_n系合金から成る金属薄膜を形成する表面処理法としては、電気めっき法に例をあげて説明したが、電気めっき法に限らずに、無電解めっき法、化学めっき法、あるいは電解めっき法と無電解めっき法と組み合わせためっき法等の他のめっき法を利用することができる。また、この発明によるS_n系合金から成る金属薄膜から成る接続用導電層を形成するリードは、Fe-Ni合金を用いる例で説明したが、これに限らずに他の金属成分を含ませたFe-Ni系合金を用いてもよい。また、Fe-Ni系合金に限らずに、CuあるいはCuを主成分とするCu系合金や、Fe材を用いることもできる。

【0048】

【発明の効果】

以上説明したように、この発明の電子部品によれば、外部端子の表面に、SnにこのSnと低融点合金を形成する所望の金属が添加されて、所望のめっき膜厚を有する単層めっき構造から成る接続用導電層が形成されているので、所望の金属の添加率に応じてめっき膜厚を最適な値に調整することができる。また、単層めっき構造から成る接続用導電層が形成されていることに伴い、Snと低融点合金を形成する低融点合金形成用金属の組成を正確に測定することができる。

したがって、PbフリーのSn系合金めっきから成る接続用導電層を外部端子の表面に形成する場合、単純なめっき構造によりウイスカ及びクラックの発生を十分に抑制することができ、またSnと低融点合金を形成する低融点合金形成用金属の組成の厳密な管理を行うことができる。

【図面の簡単な説明】**【図1】**

この発明の第1実施例である電子部品の構成を示す斜視図である。

【図2】

図1のA-A矢視断面図である。

【図3】

同電子部品の一部の断面構造を概略的に示す図である。

【図4】

同電子部品のリードに形成したSn-Bi合金層のBi添加率（横軸）とめっき膜厚（縦軸）との関係を示す図である。

【図5】

同電子部品のリードに形成したSn-Bi合金層のBi添加率（横軸）とめっき膜厚（縦軸）との関係においてウイスカの評価結果を示す図である。

【図6】

同電子部品のリードに形成したSn-Bi合金層のBi添加率（横軸）とめっき膜厚（縦軸）との関係においてクラックの発生状況を示す図である。

【図7】

同電子部品のリードに形成したSn-Bi合金層のBi添加率（横軸）とめっ

き膜厚（縦軸）との関係においてめっき組成測定バラツキの評価結果を示す図である。

【図 8】

この発明の第 2 実施例である電子部品の一部の断面構造を概略的に示す図である。

【図 9】

この発明の第 3 実施例である電子部品の一部の断面構造を概略的に示す図である。

【図 10】

この発明の第 4 実施例である電子部品の一部の断面構造を概略的に示す図である。

【図 11】

この発明が適用される電子部品の例を示す斜視図である。

【図 12】

従来の電子部品の一部の断面構造を概略的に示す図である。

【図 13】

従来の電子部品の一部の断面構造を概略的に示す図である。

【図 14】

従来の電子部品の一部の断面構造を概略的に示す図である。

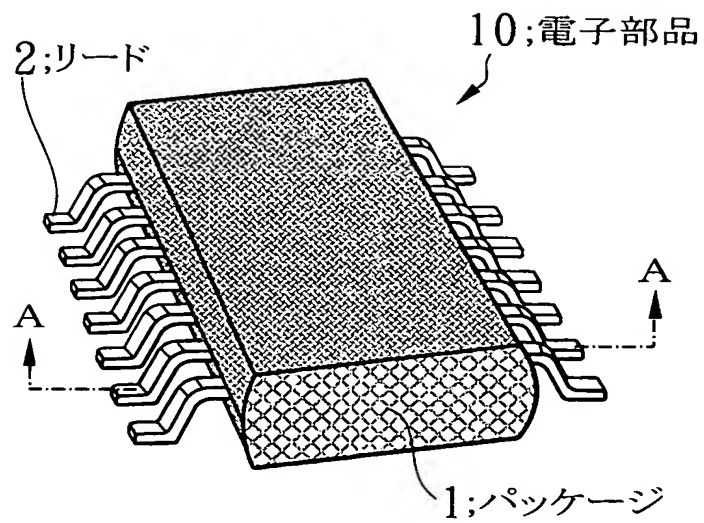
【符号の説明】

- 1 パッケージ
- 2 リード（外部端子）
- 3、11～13 接続用導電層
- 4 ICチップ
- 5 タブ
- 6 パッド電極
- 7 ボンディングワイヤ
- 10 電子部品（樹脂封止型半導体装置）
- 14 挿入実装型のトランジスタ

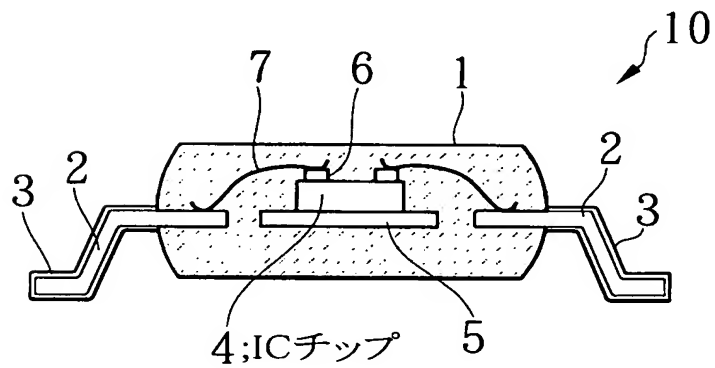
- 1 5 表面実装型の小信号用トランジスタ
- 1 6 表面実装型の大信号用トランジスタ

【書類名】 図面

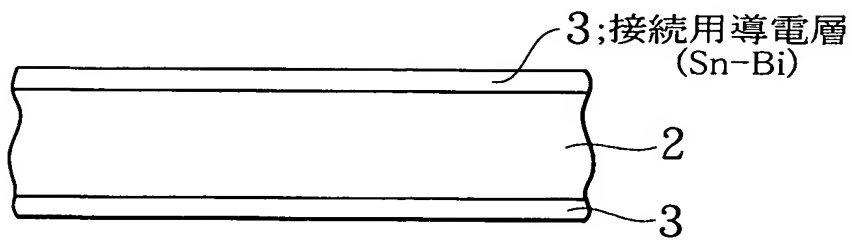
【図 1】



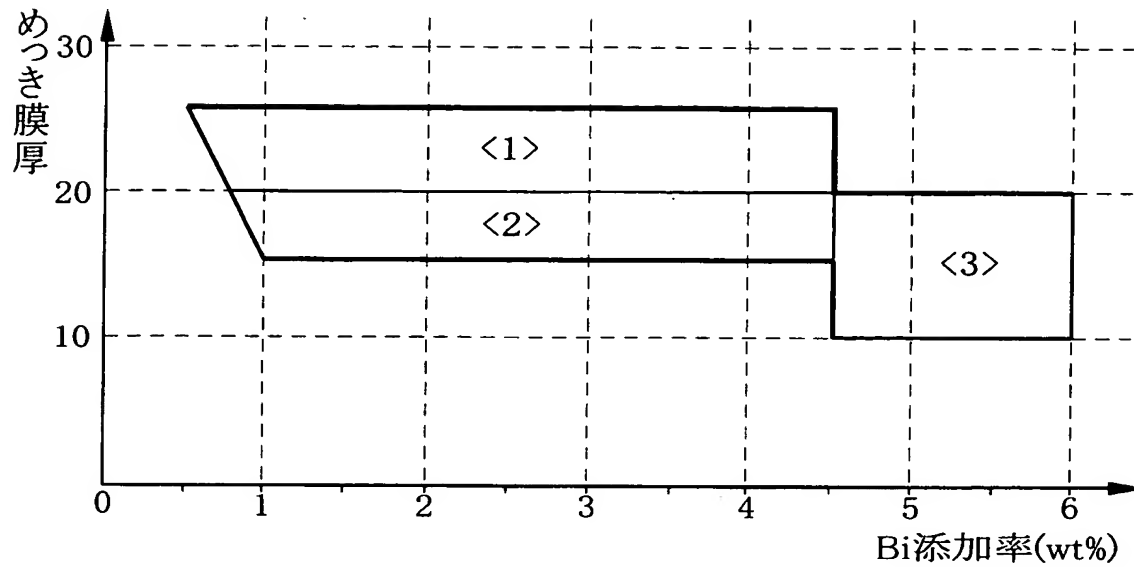
【図 2】



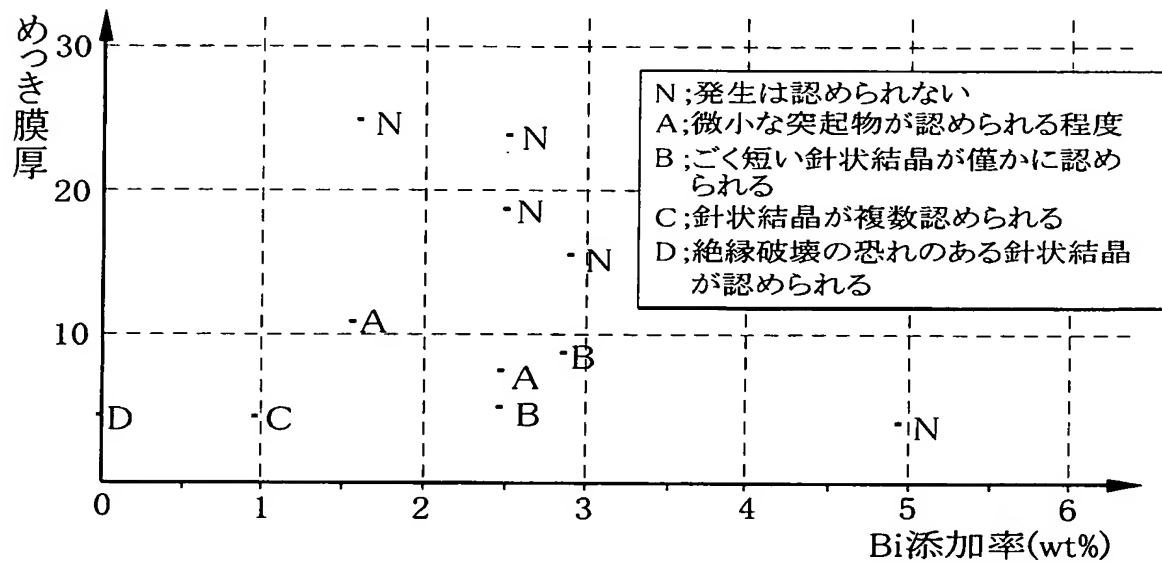
【図 3】



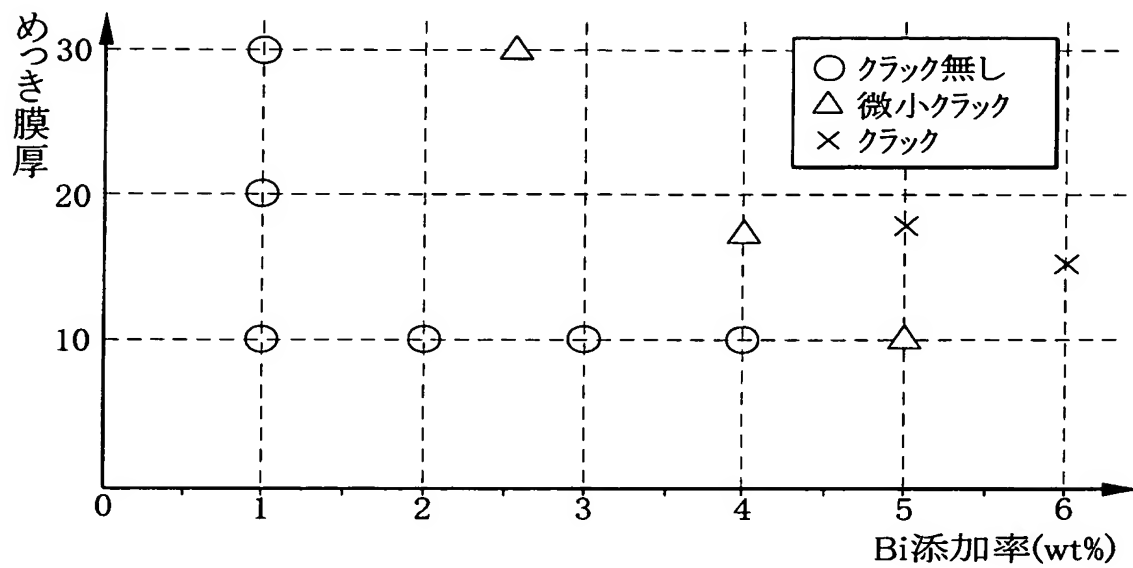
【図4】



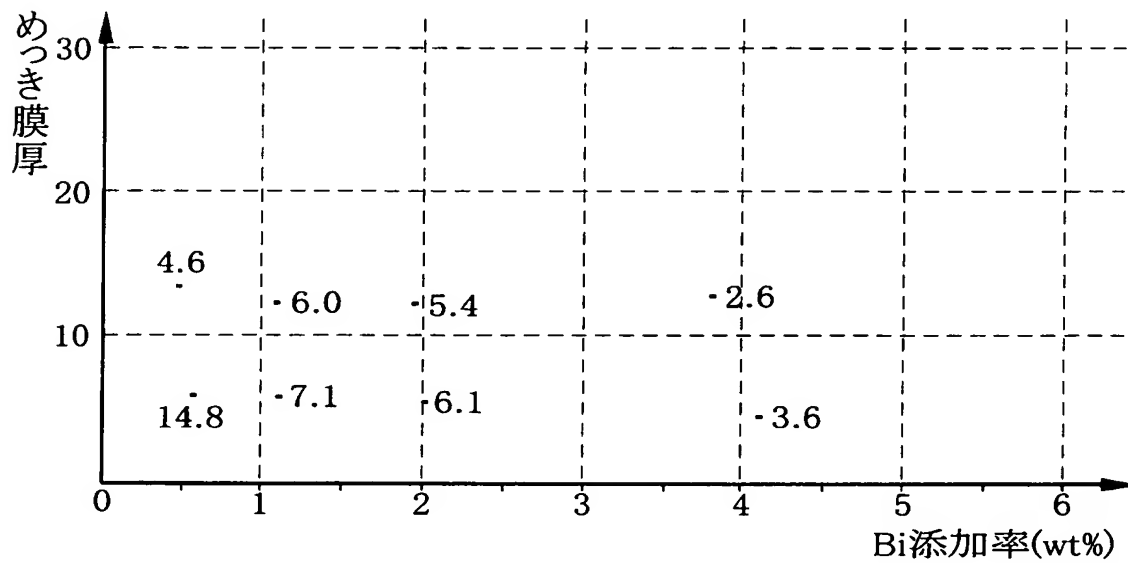
【図5】



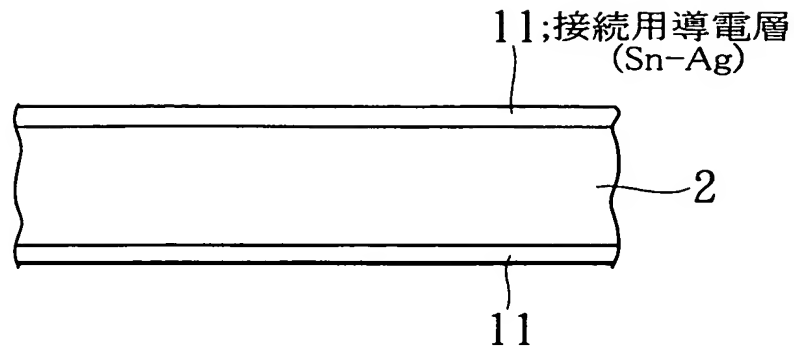
【図 6】



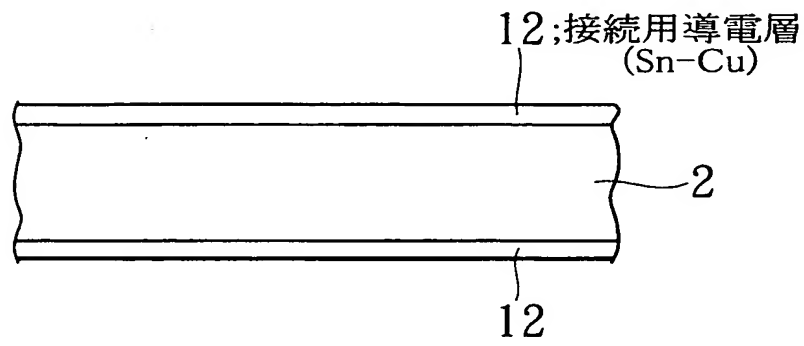
【図 7】



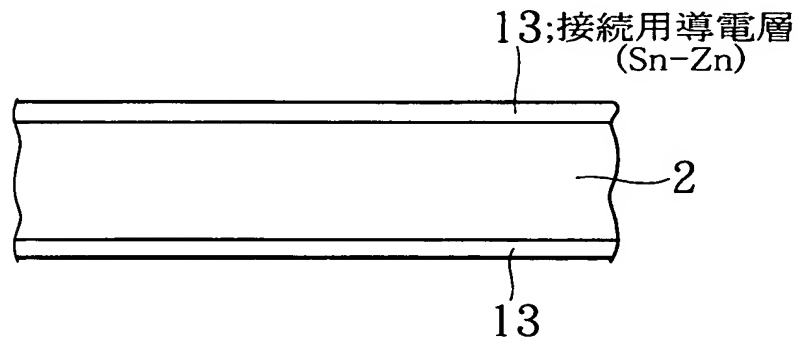
【図 8】



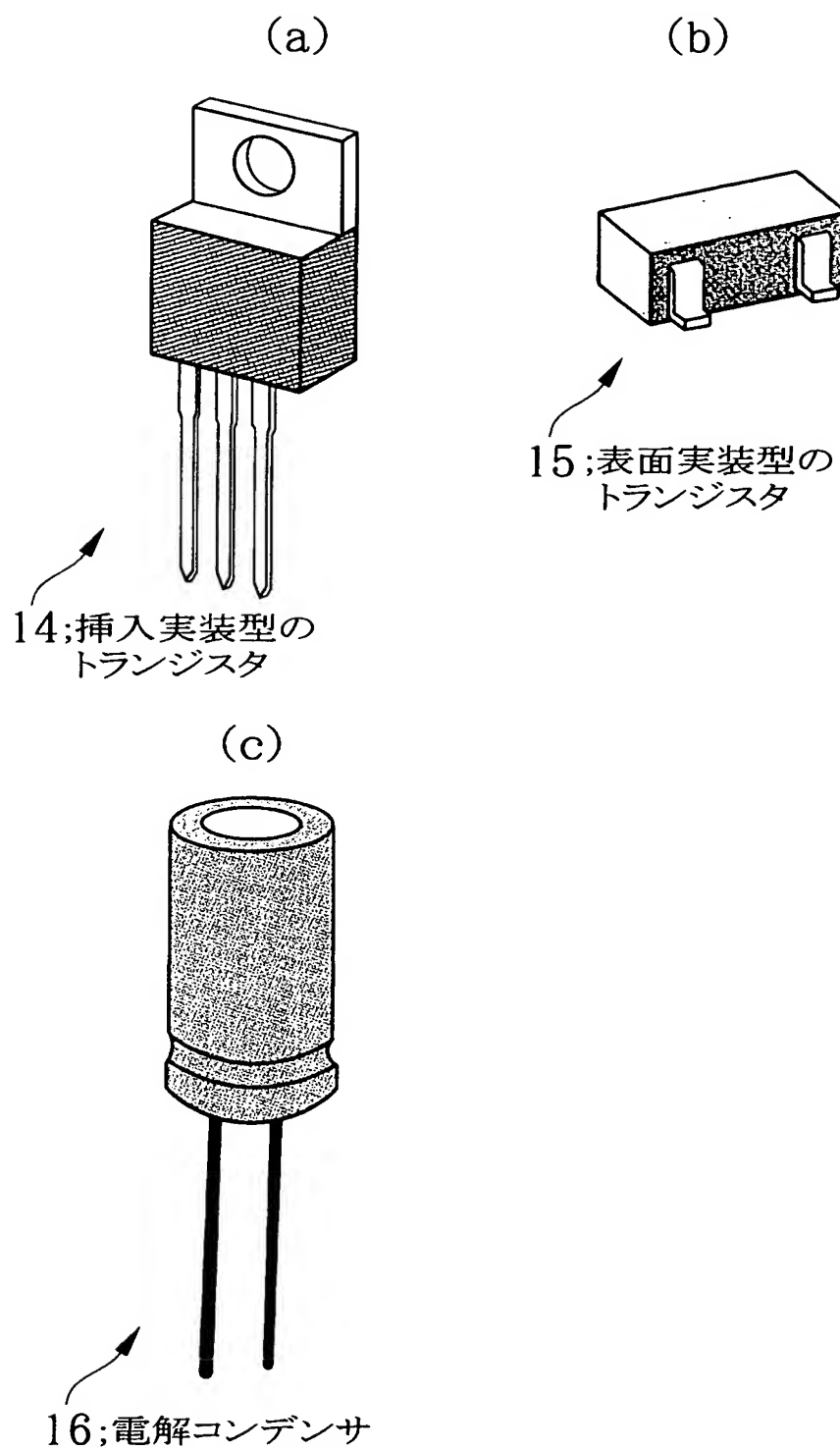
【図 9】



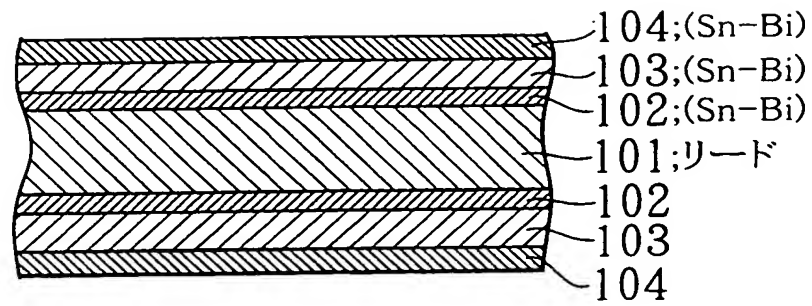
【図 10】



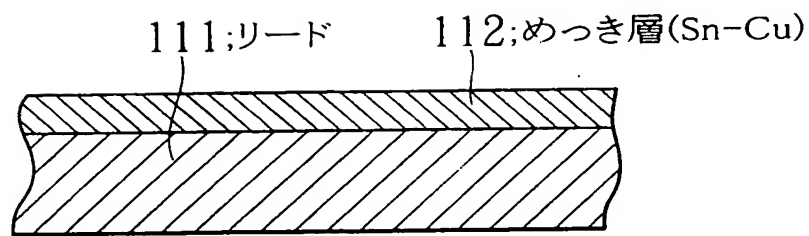
【図 11】



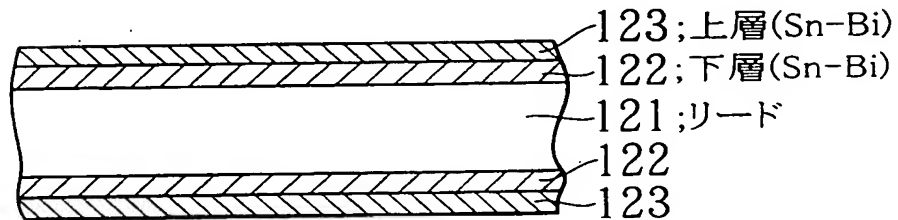
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 P b フリーの S n 系合金めっきから成る接続用導電層を外部端子の表面に形成する場合、単純なめっき構造によりウスカ及びクラックの発生を十分に抑制することができ、また S n と低融点合金を形成する低融点合金形成用金属の組成の厳密な管理を行う。

【解決手段】 開示される電子部品 1 0 は、外部端子としての役割を担うリード 2 の表面に、S n に 0 . 5 ~ 6 . 0 w t % の B i が添加された S n - B i 合金から成り、かつ 1 0 ~ 2 5 μ m のめっき膜厚を有する単層めっき構造から成る接続用導電層 3 が形成されている。

【選択図】 図 2

特願 2 0 0 2 - 3 6 4 2 3 5

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日
[変更理由]

2 0 0 2 年 1 1 月 1 日
新規登録

住 所
氏 名

神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社